



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0007001
Application Number

출원년월일 : 2003년 02월 04일
Date of Application FEB 04, 2003

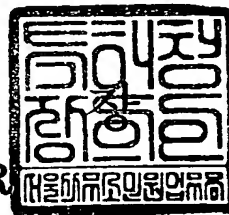
출원인 : 아남반도체 주식회사
Applicant(s) ANAM SEMICONDUCTOR., Ltd.



2003 년 12 월 09 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0085		
【제출일자】	2003.02.04		
【발명의 명칭】	반도체 소자의 게이트 형성 방법		
【발명의 영문명칭】	METHOD FOR FORMING GATE OF SEMICONDUCTOR ELEMENT		
【출원인】			
【명칭】	아남반도체 주식회사		
【출원인코드】	1-1998-002671-9		
【대리인】			
【성명】	장성구		
【대리인코드】	9-1998-000514-8		
【포괄위임등록번호】	1999-068046-1		
【대리인】			
【성명】	김원준		
【대리인코드】	9-1998-000104-8		
【포괄위임등록번호】	1999-068052-0		
【발명자】			
【성명의 국문표기】	서영훈		
【성명의 영문표기】	SEO, Young Hun		
【주민등록번호】	691112-1480811		
【우편번호】	420-730		
【주소】	경기도 부천시 원미구 중4동 은하마을 532-104		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 장성구 (인) 대리인 김원준 (인)		
【수수료】			
【기본출원료】	14	면	29,000 원
【가산출원료】	0	면	0 원

1020030007001

출력 일자: 2003/12/15

【우선권주장료】	0	건	0	원
【심사청구료】	6	항	301,000	원
【합계】	330,000			원
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 반도체 소자의 게이트 형성 방법에 관한 것으로, 반도체 기판 상부에 게이트 절연막을 형성한 후 그 상부에 게이트 전극을 위한 게이트 폴리층을 형성하는 단계와, 게이트 영역을 정의하는 식각 마스크를 이용하여 게이트 폴리층의 상부 영역을 선택적으로 1차 건식 식각하여 공정 조건에 따라 공급되는 식각 가스에 의한 중합반응에 의해 상부 영역 측벽에 측벽 폴리머가 형성되는 단계와, 식각 마스크를 이용하여 게이트 폴리층의 하부 영역을 선택적으로 2차 건식 식각하여 공정 조건에 따라 공급되는 식각 가스에 의한 중합반응에 의해 1차 건식 식각시보다 적은 량의 측벽 폴리머가 게이트 폴리층의 측벽에 형성되는 단계와, 식각 마스크를 이용하여 게이트 폴리층을 3차 건식 식각하여 측벽 폴리머를 제거하되, 측벽 폴리머의 두께 차에 의해 하부 영역을 오버 식각하여 상부 영역 CD보다 하부 영역 CD가 더 작은 게이트 프로파일을 갖는 게이트를 형성하는 단계를 포함하며, 새로운 공정 플로우의 도입 없이 게이트 CD를 줄이면서도 실리사이드 저항을 감소시켜 고속 동작에서의 신뢰성이 향상되는 이점이 있다.

【대표도】

도 2c

【색인어】

게이트, 프로파일, 게이트 CD

【명세서】**【발명의 명칭】**

반도체 소자의 게이트 형성 방법{METHOD FOR FORMING GATE OF SEMICONDUCTOR ELEMENT}

【도면의 간단한 설명】

도 1a 및 도 1b는 종래 기술에 따른 반도체 소자의 게이트 형성 과정을 설명하기 위한 공정 단면도,

도 2a 내지 도 2e는 본 발명에 따른 반도체 소자의 게이트 형성 과정을 설명하기 위한 공정 단면도.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <3> 본 발명은 반도체 소자의 게이트 형성 방법에 관한 것으로, 더욱 상세하게는 게이트의 프로파일을 상부 영역 임계치수(Critical Dimension; 이하 "CD"라 함)는 크고 하부 영역 CD는 작은 값을 갖도록 개선하여 고속 동작에서의 신뢰성이 향상되도록 한 반도체 소자의 게이트 형성 방법에 관한 것이다.
- <4> 주지와 같이, 반도체 소자의 동작 속도를 높이기 위해서는 게이트 CD를 줄이거나 이온주입 조건을 최적화하는 방안 등이 있으나, 이중에서 이온주입 조건을 최적화하는 방안은 새로운 장비의 개선이 요구되며, 게이트 CD의 급격한 감소는 후속 실리사이드 형성에 영향을 주어 전류의 흐름을 방해하는 역효과가 발생하는 등의 문제가 있다.

- <5> 따라서, 근래에는 게이트 CD를 줄이면서도 실리사이드 저항을 감소시키기 위한 여러 가지 방법이 모색되고 있으며, 그 중 게이트 프로파일을 개선함에 있어서 상부 영역 CD를 크게 하고 하부 영역 CD를 작게 하여 채널 길이가 짧아 고속 동작을 구현할 수 있도록 하는 방법이 지속적으로 연구되고 있다.
- <6> 그러나, 현재까지 제안된 대부분의 방법들은 새로운 공정 플로우를 요구하고 있으며, 이에 따라 수율이 저하되는 문제점이 있다.
- <7> 한편, 본 발명에서는 기존의 게이트 형성 공정 플로우를 최대한 유지하면서도 게이트 식각 공정 중 가스, 압력, 파워 등의 공정조건을 변화시켜서 게이트의 프로파일을 개선하도록 한 새로운 게이트 형성 방법을 제안하고자 한다. 이에 따라 본 발명과 비교할 수 있는 종래의 게이트 형성 공정을 도 1a 및 도 1b를 참조하여 설명하기로 한다.
- <8> 도 1a를 참조하면, 반도체 기판(1)으로서 실리콘 기판을 세정한 후 상부에 게이트 절연막(2)을 형성하고, 그 상부에 게이트 전극을 위한 게이트 폴리층(3)을 형성한다. 그리고, 그 위에 식각 마스크로서 사용할 물질인 포토레지스트를 도포한 후 패터닝하여 식각하고자 하는 부분을 노출시켜 게이트 영역을 정의하는 포토레지스트 패턴(4)을 형성한다.
- <9> 도 1b를 참조하면, 포토레지스트 패턴(4)을 식각 마스크로 하여 게이트 폴리층(3)을 게이트 절연막(2)이 노출될 때까지 선택적으로 건식 식각하여 요망하는 프로파일을 갖는 게이트 전극을 형성하며, 게이트 영역의 정의를 위해 사용된 포토레지스트 패턴(4)을 제거한다. 여기서 공정 조건에 따라 공급되는 식각 가스에 의해 게이트 폴리층(3)의 측벽에서 중합반응(Sidewall Polymerization)이 발생되어 게이트 폴리층(3)에는 측벽 폴리머가 형성되며 이는 후속의 세정 공정에서 제거된다.

<10> 한편, 게이트 폴리층(3)의 상부에 유기 또는 무기 ARC 재료를 코팅하여 반사 방지막(도시 생략됨)을 형성할 수 있으며, 이러한 경우에는 게이트 폴리층(3)을 식각하는 공정을 수행하기 이전에 포토레지스트 패턴(4)을 식각 마스크로 하여 식각 종말점(End point)을 이용하여 반사 방지막을 먼저 식각하여야 한다.

<11> 그러나, 전술한 바와 같은 종래의 게이트 형성 방법에 의한 게이트의 프로파일을 살펴보면 도 1b에 나타낸 바와 같이 상부 영역 CD와 하부 영역 CD가 동일한 직선형의 프로파일을 갖거나 또는 상부 영역 CD보다 하부 영역 CD가 더 큰 형태의 프로파일을 갖는다.

<12> 따라서, 전술한 바와 같이 고속 동작에서의 신뢰성을 향상시키고 실리사이드 저항을 감소시키기 위하여 하부 영역 CD를 작게 하고 상부 영역 CD를 크게 하고자 하는 프로파일 개선 노력에 상반되는 것을 알 수 있다.

【발명이 이루고자 하는 기술적 과제】

<13> 본 발명은 상기와 같이 게이트 CD를 줄이면서도 실리사이드 저항을 감소시키기 위한 연구 노력의 한 결과물로서, 기존의 게이트 형성 공정 플로우를 최대한 유지하면서도 게이트 식각 공정 중 가스, 압력, 파워 등의 공정조건을 변화시켜서 상부 영역 CD는 크고 하부 영역 CD는 작은 값을 갖도록 게이트의 프로파일을 개선하여 고속 동작에서의 신뢰성이 향상되도록 하는 데 그 목적이 있다.

<14> 이와 같은 목적을 실현하기 위한 본 발명에 따른 반도체 소자의 게이트 형성 방법은, 반도체 기판 상부에 게이트 절연막을 형성한 후 그 상부에 게이트 전극을 위한 게이트 폴리층을 형성하는 단계와, 상기 게이트 영역을 정의하는 식각 마스크를 이용하여 상기 게이트 폴리층의 상부 영역을 선택적으로 1차 건식 식각하여 공정 조건에 따라 공급되는 식각 가스에 의한 중합

반응에 의해 상기 상부 영역 측벽에 측벽 폴리머가 형성되는 단계와, 상기 식각 마스크를 이용하여 상기 게이트 폴리층의 하부 영역을 선택적으로 2차 건식 식각하여 공정 조건에 따라 공급되는 식각 가스에 의한 상기 중합반응에 의해 상기 1차 건식 식각시보다 적은 양의 상기 측벽 폴리머가 상기 게이트 폴리층의 측벽에 형성되는 단계와, 상기 식각 마스크를 이용하여 상기 게이트 폴리층을 3차 건식 식각하여 상기 측벽 폴리머를 제거하되, 상기 측벽 폴리머의 두께차에 의해 상기 하부 영역을 오버 식각하여 상기 상부 영역 CD보다 상기 하부 영역 CD가 더 작은 게이트 프로파일을 갖는 게이트를 형성하는 단계를 포함한다.

【발명의 구성 및 작용】

<15> 본 발명의 실시예로는 다수개가 존재할 수 있으며, 이하에서는 첨부한 도면을 참조하여 바람직한 실시예에 대하여 상세히 설명하기로 한다. 이 실시예를 통해 본 발명의 목적, 특징 및 이점들을 보다 잘 이해할 수 있게 된다.

<16> 본 발명의 요지는, 게이트 전극을 위한 식각을 실시함에 있어서 다단계로 나누어 식각 공정으로 나누어 수행한다. 바람직하기로는 3단계로 나누어 식각 공정을 수행하게 되는데, 첫째 게이트의 상부 영역 CD를 형성하는 식각, 두 번째 게이트 CD를 상부 영역 CD 보다 작게 하고 싶은 두께에서부터 게이트 측벽 폴리머를 적게 형성하는 식각, 세 번째로 게이트 측벽 폴리머가 적게 형성된 영역의 게이트 폴리층의 측벽을 일정 부분 제거하여 상부 영역 CD와 대비할 때에 하부 영역 CD를 작게 형성하는 식각으로 이루어진다. 각각의 식각 공정에서 실시하는 공정 조건은 가스 비율, 사용 가스의 종류, 압력, 전력 등을 조절하여 식각을 실시하며, 두 번째 식각 공정에서 초기에 형성되는 측벽 중합반응 정도를 미약하게 형성시킨 후에 세 번째 식각 공정에서 오버 식각 시간을 조절하여 게이트의 하부 영역 CD를 조절하는 것이다.

- <17> 도 2a 내지 도 2e는 본 발명에 따른 반도체 소자의 게이트 형성 과정을 설명하기 위한 공정 단면도이다.
- <18> 도 2a를 참조하면, 반도체 기판(101)으로서 실리콘 기판을 세정한 후 상부에 게이트 절연막(102)을 형성하고, 그 상부에 게이트 전극을 위한 게이트 폴리층(103)을 형성한다. 그리고, 그 위에 식각 마스크로서 사용할 물질인 포토레지스트를 도포한 후 패터닝하여 식각하고자 하는 부분을 노출시켜 게이트 영역을 정의하는 포토레지스트 패턴(104)을 형성한다.
- <19> 도 2b를 참조하면, 포토레지스트 패턴(104)을 식각 마스크로 하여 게이트 폴리층(103)을 요망하는 높이까지 선택적으로 1차 건식 식각하여 요망하는 상부 영역 CD를 갖도록 한다. 여기서 공정 조건에 따라 공급되는 식각 가스에 의해 게이트 폴리층(103)의 측벽에서 중합반응이 발생되어 측벽 폴리머(105)가 형성되는데, 이때 후속하는 2차 건식 식각시보다 많은 량의 측벽 폴리머(105)가 형성되도록 공정 조건이 제공된다.
- <20> 바람직하기로는, 식각 가스로 CF₄, HBr, Cl₂, HeO₂를 사용하며, 그 공급비율은 CF₄의 경우 1~100sccm, HBr의 공급비율은 5~180sccm, Cl₂의 공급비율은 1~100sccm, HeO₂의 공급비율은 1~50sccm으로 공급하는 것이 적합하다. 또한 플라즈마의 소오스 전력은 10~1000W로, 바이어스 전력은 1~200W의 범위상에서 진행하는 것이 바람직하며, 압력은 1~30mT 범위상에서 진행하는 것이 바람직하다.
- <21> 도 2c를 참조하면, 포토레지스트 패턴(104)을 식각 마스크로 하여 게이트 폴리층(103)을 게이트 절연막(102)이 노출될 때까지 선택적으로 2차 건식 식각하여 요망하는 하부 영역 CD를 갖도록 한다. 여기서도 1차 식각시와 마찬가지로 공정 조건에 따라 공급되는 식각 가스에 의해 게이트 폴리층(103)의 측벽에서 중합반응이 발생되어 측벽 폴리머(105)가 형성되는데, 이때 전술한 1차 건식 식각시보다 적은 량의 측벽 폴리머(105)가 형성되도록 공정 조건이 제공된다.

- <22> 바람직하기로는, 식각 가스로 HBr, Cl₂, HeO₂를 사용하며, 그 공급비율은 HBr의 경우 1~300sccm, Cl₂의 공급비율은 1~200sccm, HeO₂의 공급비율은 1~50sccm으로 공급하는 것이 적합하다. 또한 플라즈마의 소오스 전력은 10~500W로, 바이어스 전력은 5~150W의 범위상에서 진행하는 것이 바람직하며, 압력은 1~50mT 범위상에서 진행하는 것이 바람직하다.
- <23> 도 2d를 참조하면, 포토레지스트 패턴(104)을 식각 마스크로 하여 게이트 폴리층(103)을 3차 건식 식각하는데, 요망하는 게이트 프로파일, 즉 상부 영역 CD보다 하부 영역 CD가 더 작은 게이트 프로파일을 갖도록 게이트 폴리층(103)의 측벽을 오버 식각한다. 이때 측벽 중합반응에 의하여 생성된 측벽 폴리머(105)가 제거되는데, 게이트 하부 영역의 측벽 폴리머(105)보다 상부 영역의 측벽 폴리머(105)가 더 두껍게 형성된 상태이므로 게이트 하부 영역의 측벽 폴리머(105)가 상부 영역의 측벽 폴리머(105)보다 먼저 제거되며, 지속되는 오버 식각에 의하여 게이트 폴리층(103)의 하부 영역이 요망하는 하부 영역 CD를 갖도록 오버 식각되는 것이다.
- <24> 이러한 3차 건식 식각시의 바람직한 공정 조건으로는, 식각 가스로 HBr, HeO₂ 또는 O₂를 사용하며, 그 공급비율은 HBr의 경우 1~300sccm, HeO₂의 공급비율은 1~100sccm으로 또는 O₂의 공급비율은 0.1~50sccm으로 공급하는 것이 적합하다. 또한 플라즈마의 소오스 전력은 10~2000W로, 바이어스 전력은 1~300W의 범위상에서 진행하는 것이 바람직하며, 압력은 1~200mT 범위상에서 진행하는 것이 바람직하다.
- <25> 상기와 같은 다단계의 게이트 식각 공정을 정리하면, CD가 줄어들기를 원하지 않는 상부 영역의 실리콘 폴리층 타겟 두께까지는 1차 식각을 실시하고, 나머지 잔류 실리콘 폴리층은 2차 식각을 실시하며, 후속 3차 식각에서 오버 식각 시간을 조절함으로써 타겟으로 하는 CD를 형성하여 요망하는 게이트 프로파일을 획득하는 것이다.

- <26> 도 2e를 참조하면, 게이트 영역의 정의를 위해 사용된 포토레지스트 패턴(104)을 제거하여 프로파일이 개선된 게이트 전극을 완성한다.
- <27> 한편, 게이트 폴리층(103)의 상부에 유기 또는 무기 ARC 재료를 코팅하여 반사 방지막(도시 생략됨)을 형성할 수 있으며, 이러한 경우에는 게이트 폴리층(103)을 식각하는 공정을 수행하기 이전에 포토레지스트 패턴(104)을 식각 마스크로 하여 식각 종말점(End point)을 이용하여 반사 방지막을 먼저 식각하여야 한다.
- <28> 상기에서는 본 발명의 일 실시예에 국한하여 설명하였으나 본 발명의 기술이 당업자에 의하여 용이하게 변형 실시될 가능성이 자명하다.
- <29> 일례로, 상술한 실시예에서는 게이트 폴리층을 식각함에 있어서 상부 영역 식각 단계와 하부 영역 식각 단계 및 오버 식각 단계로 나누어 실시하여 게이트 전극의 측벽 프로파일이 2층 구조를 갖도록 하였으나, 상부 영역 및/또는 하부 영역을 다층 영역으로 세분하여 각각의 다른 공정 조건에서 다단계로 식각함으로써 게이트 전극의 측벽 프로파일이 다층 구조를 갖도록 할 수도 있다.
- <30> 이러한 변형된 실시예들은 본 발명의 특허청구범위에 기재된 기술사상에 포함된다고 하여야 할 것이다.

【발명의 효과】

- <31> 전술한 바와 같이 본 발명은 게이트 전극을 위한 식각 공정을 수행함에 있어서 공정 조건을 달리하는 다단계의 식각을 통해 상부 영역 CD는 크고 하부 영역 CD는 작은 값을 갖도록 게이트의 프로파일을 개선함으로써, 새로운 공정 플로우의 도입 없이 게이트 CD를 줄이면서도 실리사이드 저항을 감소시켜 고속 동작에서의 신뢰성이 향상되는 효과가 있다.

【특허청구범위】**【청구항 1】**

반도체 기판 상부에 게이트 절연막을 형성한 후 그 상부에 게이트 전극을 위한 게이트 폴리층을 형성하는 단계와,

상기 게이트 영역을 정의하는 식각 마스크를 이용하여 상기 게이트 폴리층의 상부 영역을 선택적으로 1차 건식 식각하여 공정 조건에 따라 공급되는 식각 가스에 의한 중합반응에 의해 상기 상부 영역 측벽에 측벽 폴리머가 형성되는 단계와,

상기 식각 마스크를 이용하여 상기 게이트 폴리층의 하부 영역을 선택적으로 2차 건식 식각하여 공정 조건에 따라 공급되는 식각 가스에 의한 상기 중합반응에 의해 상기 1차 건식 식각시보다 적은 량의 상기 측벽 폴리머가 상기 게이트 폴리층의 측벽에 형성되는 단계와,

상기 식각 마스크를 이용하여 상기 게이트 폴리층을 3차 건식 식각하여 상기 측벽 폴리머를 제거하되, 상기 측벽 폴리머의 두께차에 의해 상기 하부 영역을 오버 식각하여 상기 상부 영역 CD보다 상기 하부 영역 CD가 더 작은 게이트 프로파일을 갖는 게이트를 형성하는 단계를 포함하는 반도체 소자의 게이트 형성 방법.

【청구항 2】

제 1 항에 있어서,

상기 상부 영역 또는 하부 영역을 다층 영역으로 세분하여 각각의 다른 공정 조건에서 다단계로 식각하여 상기 게이트의 측벽 프로파일이 다층 구조를 갖는 것을 특징으로 한 반도체 소자의 게이트 형성 방법.

【청구항 3】

제 1 항에 있어서,

상기 하부 영역의 오버 식각 시간을 조절하여 상기 게이트의 하부 영역 CD를 조절하는 것을 특징으로 한 반도체 소자의 게이트 형성 방법.

【청구항 4】

제 1 항에 있어서,

상기 1차 건식 식각의 공정 조건은,

식각 가스로 CF₄, HBr, Cl₂, HeO₂를 사용하며, 그 공급비율은 CF₄의 경우 1~100sccm, HBr의 공급비율은 5~180sccm, Cl₂의 공급비율은 1~100sccm, HeO₂의 공급비율은 1~50sccm으로 공급하고, 플라즈마의 소오스 전력은 10~1000W로, 바이어스 전력은 1~200W의 범위상에서 진행하며, 압력은 1~30mT 범위상에서 진행하는 것을 특징으로 한 반도체 소자의 게이트 형성 방법.

【청구항 5】

제 1 항에 있어서,

상기 2차 건식 식각의 공정 조건은,

식각 가스로 HBr, Cl₂, HeO₂를 사용하며, 그 공급비율은 HBr의 경우 1~300sccm, Cl₂의 공급비율은 1~200sccm, HeO₂의 공급비율은 1~50sccm으로 공급하고, 플라즈마의 소오스 전력은 10~500W로, 바이어스 전력은 5~150W의 범위상에서 진행하며, 압력은 1~50mT 범위상에서 진행하는 것을 특징으로 한 반도체 소자의 게이트 형성 방법.

【청구항 6】

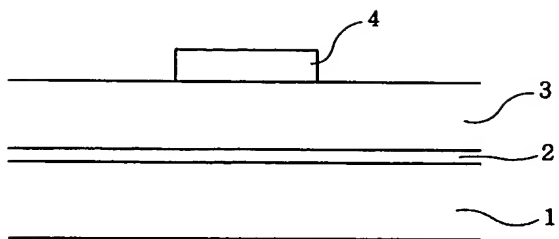
제 1 항에 있어서,

상기 3차 전식 식각의 공정 조건은,

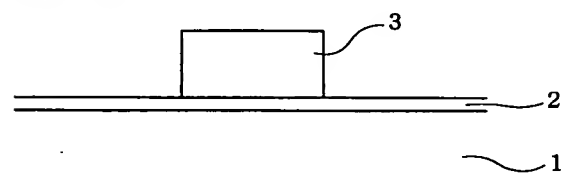
식각 가스로 HBr, HeO₂ 또는 O₂를 사용하며, 그 공급비율은 HBr의 경우 1~300sccm, HeO₂의 공급비율은 1~100sccm으로 또는 O₂의 공급비율은 0.1~50sccm으로 공급하고, 플라즈마의 소오스 전력은 10~2000W로, 바이어스 전력은 1~300W의 범위상에서 진행하며, 압력은 1~200mT 범위상에서 진행하는 것을 특징으로 한 반도체 소자의 게이트 형성 방법.

【도면】

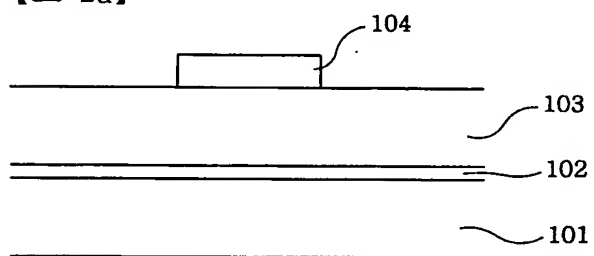
【도 1a】



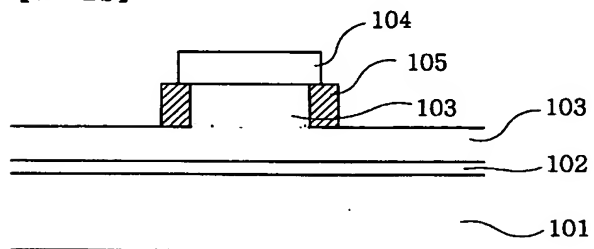
【도 1b】



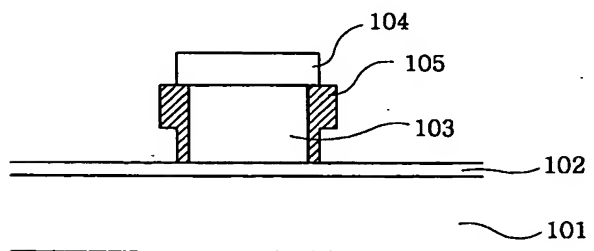
【도 2a】



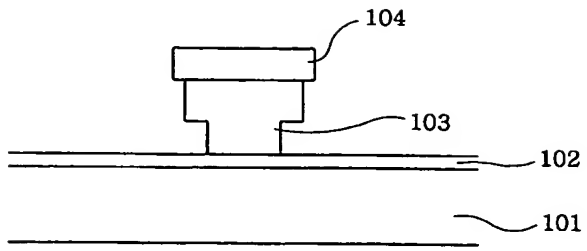
【도 2b】



【도 2c】



【도 2d】



【도 2e】

